

DIALOG(R)File 345:Inpadoc Fam.& Legal Stat

(c) 2001 EPO. All rts. reserv.

17077847

Basic Patent (No.Kind.Date): JP 2001109432 A2 20010420 <No. of Patents:  
001>

DRIVING DEVICE FOR ACTIVE MATRIX TYPE LIGHT EMITTING PANEL (English)  
Patent Assignee: PIONEER ELECTRONIC CORP

Author (Inventor): OKUDA YOSHIYUKI

IPC: G09G-003.30; H01L-033.00

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applc No	Kind	Date
<b>JP 2001109432</b>	A2	20010420	JP 99285203	A	19991006 (BASIC)

Priority Data (No.Kind.Date):

JP 99285203 A 19991006

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-109432

(P2001-109432A)

(43) 公開日 平成13年4月20日 (2001.4.20)

(51) Int.Cl.  
G 0 9 G 3/30  
3/20 // H 0 1 L 33/00  
H 0 5 B 33/14

識別記号  
6 7 0

F I  
G 0 9 G 3/30  
3/20 H 0 1 L 33/00  
H 0 5 B 33/14

テ-マ-ト- (参考)  
J 3 K 0 0 7  
6 7 0 J 5 C 0 8 0  
J 5 F 0 4 1  
A

審査請求 未請求 請求項の数12 ○ L (全 21 頁)

(21) 出願番号 特願平11-285203

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(22) 出願日 平成11年10月6日 (1999.10.6)

(72) 発明者 奥田 義行

埼玉県鶴ヶ島市富士見6丁目1番1号 バ  
イオニア株式会社総合研究所内

(74) 代理人 100079119

弁理士 藤村 元彦

F ターム(参考) 3K007 AB00 BA06 DA00 DB03 EB00

FA01 GA00 GA04

5C080 AA06 BB05 DD29 EE29 FF11

GG12 JJ02 JJ03 JJ04

5F041 BB21 BB26 BB31 CA45 DB08

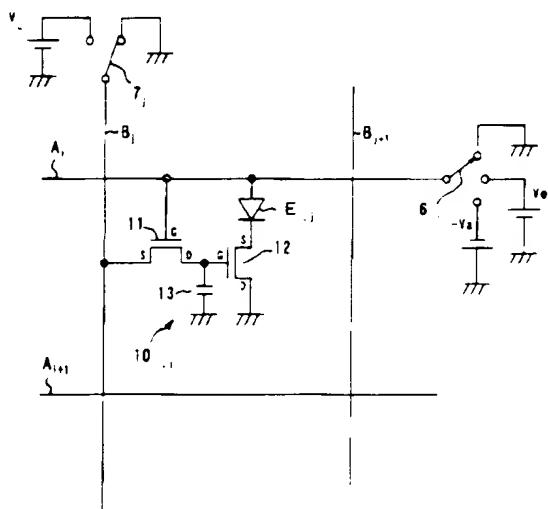
FF06

(54) 【発明の名称】 アクティブマトリックス型発光パネルの駆動装置

(57) 【要約】

【課題】 発光パネルの各EL素子に効果的に逆バイアス電圧を印加することができるアクティブマトリックス型発光パネルの駆動装置を提供する。

【解決手段】 入力映像データの同期タイミングに応じて複数の容量性発光素子々に対するアドレス期間と発光期間とを繰り返し設定し、アドレス期間に入力映像データに応じて複数の容量性発光素子のうちの発光させるべき発光素子に対応する駆動素子を指定し、その指定した駆動素子をアドレス期間に続く発光期間にオンさせ、発光期間に対応する駆動素子を介して発光させるべき発光素子に順方向の極性にて発光電圧を印加し、アドレス期間内に複数の容量性発光素子のうちの少なくとも発光させるべき発光素子に順方向とは逆方向の極性にてバイアス電圧を印加する。



## 【特許請求の範囲】

【請求項1】 マトリックス状に配置され各々が極性を有する複数の容量性発光素子と前記複数の容量性発光素子各々を個別に駆動する駆動素子とを含むアクティオマトリックス型発光パネルの駆動装置であって、

入力映像データの同期タイミングに応じて前記複数の容量性発光素子各々に対するアドレス期間と発光期間とを繰り返し設定する設定手段と、

前記アドレス期間に前記入力映像データに応じて前記複数の容量性発光素子のうちの発光させるべき発光素子に対応する駆動素子を指定し、その指定した駆動素子を前記アドレス期間に統一前記発光期間にオフさせるオフ保持手段と、

前記発光期間に前記指定した駆動素子を介して前記発光させるべき発光素子に順方向極性にて発光電圧を印加する電圧印加手段と、を備え、

前記電圧印加手段は、前記アドレス期間内に前記複数の容量性発光素子のうちの少なくとも前記発光させるべき発光素子に前記順方向とは逆方向極性にてバイアス電圧を印加することを特徴とする駆動装置。

【請求項2】 前記電圧印加手段は、前記発光させるべき発光素子に前記バイアス電圧を前記対応する駆動素子を介して印加することを特徴とする請求項1記載の駆動装置。

【請求項3】 前記設定手段は、前記複数の容量性発光素子に対して前記発光パネルの各行毎に前記アドレス期間及び前記発光期間を各々設定することを特徴とする請求項1記載の駆動装置。

【請求項4】 前記発光パネルにおいて前記複数の容量性発光素子各々の陽極はアドレス線に接続され、

前記駆動素子は、前記複数の容量性発光素子の陰極にソースが接続され、ドレインがアース接続されたNチャンネルのFETからなり、

前記オフ保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、ドレインが前記NチャンネルのFETのゲートに接続されたPチャンネルのFETと、前記前記NチャンネルのFETのゲートの接続ラインとアースとの間に接続されたコンデンサと、からなり、

前記電圧印加手段は、前記アドレス期間に前記アドレス線とアースとの間に前記アドレス線側が負電位となるように前記バイアス電圧を印加し、前記発光期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように前記発光電圧を印加する第1スイッチと、

前記発光素子を発光させる場合に前記アドレス期間に前記データ線とアースとの間に前記データ線側が正電位となるように所定電圧を印加し、前記発光期間に前記データ線とアースとの間にゼロ電圧を印加する第2スイッチと、を有し、前記アドレス期間に前記所定電圧の印加によって前記NチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに統一前記発光期間に前記コンデンサの端子電圧によって前記NチャンネルのFETがオフとなり、前記発光させるべき発光素子に前記発光電圧が印加されることを特徴とする請求項1又は3記載の駆動装置。

【請求項5】 前記発光パネルにおいて前記複数の容量性発光素子各々の陽極はアドレス線に接続され、前記駆動素子は、前記複数の容量性発光素子の陰極にドレインが接続され、ソースがアース接続されたPチャンネルのFETからなり、

前記オフ保持手段は、前記アドレス線にゲートが接続され、ソースかデータ線に接続され、ドレインが前記PチャンネルのFETのゲートに接続されたNチャンネルのFETと、前記前記PチャンネルのFETのゲートとの間に接続されたコンデンサと、からなり、

前記電圧印加手段は、前記アドレス期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように前記バイアス電圧を印加し、前記発光期間に前記アドレス線とアースとの間に前記アドレス線側が負電位となるように前記発光電圧を印加する第1スイッチと、

前記発光素子を発光させる場合に前記アドレス期間に前記データ線とアースとの間に前記データ線側が正電位となるように所定電圧を印加し、前記発光期間に前記データ線とアースとの間にゼロ電圧を印加する第2スイッチと、を有し、前記アドレス期間に前記所定電圧の印加によって前記NチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに統一前記発光期間に前記コンデンサの端子電圧によって前記NチャンネルのFETがオフとなり、前記発光させるべき発光素子に前記発光電圧が印加されることを特徴とする請求項1又は3記載の駆動装置。

【請求項6】 前記設定手段は、前記複数の容量性発光素子に対して前記発光パネルの各行同時の前記アドレス期間及び前記発光期間を各々設定することを特徴とする請求項1記載の駆動装置。

【請求項7】 前記駆動素子は、前記複数の容量性発光素子の陰極にソースが接続され、ドレインがアース接続されたNチャンネルのFETからなり、

前記オフ保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、ドレインが前記NチャンネルのFETのゲートに接続されたPチャンネルのFETと、前記前記NチャンネルのFETのゲートの接続ラインとアースとの間に接続されたコンデンサと、からなり、

前記電圧印加手段は、前記アドレス期間に前記アドレス線とアースとの間にゼロ電圧を印加し、前記発光期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように第1所定電圧を印加する第1スイッチと、

前記発光素子を発光させる場合に前記アドレス期間に前記データ線とアースとの間に前記データ線側が正電位となるように第2所定電圧を印加し、前記発光期間に前記データ線とアースとの間にゼロ電圧を印加する第2スイッチと、

前記アドレス期間に前記複数の容量性発光素子各々の陽極とアースとの間にその陽極側が負電位となるように前記バイアス電圧を印加し、前記発光期間に前記複数の容量性発光素子各々の陽極とアースとの間にその陽極側が正電位となるように前記発光電圧を印加する第3スイッチと、を有し、前記アドレス期間に前記第2所定電圧の印加によって前記PチャンネルのFETを介して前記コントローラに充電電流が流れ、その結果、それに続く前記発光期間に前記コントローラの端子電圧によって前記Nチャンネルのドレインがオノとなり、前記発光させるべき発光素子に前記発光電圧が印加されることを特徴とする請求項1又は6記載の駆動装置。

【請求項8】 前記駆動素子は、前記複数の容量性発光素子の陽極にドレインが接続され、ソースがアース接続されたPチャンネルのFETからなり、

前記寸法保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、ドレインが前記PチャンネルのFETのゲートに接続されたNチャンネルのFETと、前記前記PチャンネルのFETのゲートの接続ラインとアースとの間に接続されたコンデンサと、からなり、

前記電圧印加手段は、前記アドレス期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように第1所定電圧を印加し、前記発光期間に前記アドレス線とアースとの間にゼロ電圧を印加する第1スイッチと、

前記発光素子を発光させる場合に前記アドレス期間に前記データ線上アースとの間に前記データ線側が正電位となるように第2所定電圧を印加し、前記発光期間に前記データ線とアースとの間にゼロ電圧を印加する第2スイッチと、

前記アドレス期間に前記複数の容量性発光素子各々の陽極とアースとの間にその陰極側が正電位となるように前記バイアス電圧を印加し、前記発光期間に前記複数の容量性発光素子各々の陰極とアースとの間にその陰極側が負電位となるように前記発光電圧を印加する第3スイッチと、を有し、前記アドレス期間に前記第2所定電圧の印加によって前記NチャンネルのFETを介して前記コントローラに充電電流が流れ、その結果、それに続く前記発光期間に前記コントローラの端子電圧によって前記PチャンネルのFETがオノとなり、前記発光させるべき発光素子に前記発光電圧が印加されることを特徴とする請求項1又は6記載の駆動装置。

【請求項9】 マトリック状に配置され各々が極性を有する複数の容量性発光素子と前記複数の容量性発光

素子各々を個別に駆動する能動素子とを含むアクテ・マトリック型発光ハーネルの駆動装置であって、

入力映像データの同期タイミングに応じて前記複数の容量性発光素子各々に対するアドレス期間と発光期間とを繰り返し設定する設定手段と、

前記アドレス期間の直前に前記入力映像データの輝度レベルに対応する輝度電圧を受け入れて保持して前記アドレス期間にその輝度電圧に応じて前記複数の容量性発光素子のうちの発光させるべき発光素子に対応する能動素子を指定する指定手段と、

前記指定された能動素子を前記アドレス期間に続く前記発光期間に前記輝度電圧に応じて能動状態又はオフ状態にさせる保持手段と、

前記発光期間に前記指定された能動素子を介して前記発光させるべき発光素子に順方向の極性にて発光電圧を印加する電圧印加手段と、を備え、

前記電圧印加手段は、前記アドレス期間内に前記複数の容量性発光素子のうちの少なくとも前記発光させるべき発光素子に前記順方向とは逆方向の極性にてバイアス電圧を印加することを特徴とする駆動装置。

【請求項10】 前記設定手段は、前記複数の容量性発光素子に対して前記発光ハーネルの各行毎に前記アドレス期間及び前記発光期間を各々設定することを特徴とする請求項9記載の駆動装置。

【請求項11】 前記発光ハーネルにおいて前記複数の容量性発光素子各々の陽極はアドレス線に接続され、前記能動素子は、前記複数の容量性発光素子の陰極にソースが接続され、トレンジがアース接続されたNチャンネルのFETからなり、

前記指定手段は、前記アドレス期間の直前に前記入力映像データの輝度レベルに対応する輝度電圧を受け入れて前記アドレス期間においてデータ線に保持電圧を印加するサンプルオールド回路からなり、

前記保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、トレンジが前記NチャンネルのFETのゲートに接続されたPチャンネルのFETと、前記前記NチャンネルのFETのゲートの接続ラインとアースとの間に接続されたコンデンサと、からなり、

前記電圧印加手段は、前記アドレス期間に前記アドレス線とアースとの間に前記アドレス線側が負電位となるように前記バイアス電圧を印加し、前記発光期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように前記発光電圧を印加するスイッチと、

前記アドレス期間に前記サンプルオールド回路の保持電圧の印加によって前記PチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記コンデンサの端子電圧によって前記NチャンネルのFETがオノ又は能動状態となり、前記発光させるべき発光素子に前記NチャンネルのFETを

介して前記発光電圧が印加されることを特徴とする請求項4又は10記載の駆動装置。

【請求項1-2】 前記発光パネルにおいて前記複数の容量性発光素子各々の陽極はアトレス線に接続され、前記駆動素子は、前記複数の容量性発光素子の陰極にトライックが接続され、ノースがアース接続されたPチャネルのEETからなり。

前記指定手段は、前記アトレス期間に直前に前記入力映像データの輝度レベルに対応する輝度電圧を受け入れて前記アドレス期間においてデータ線に保持電圧を印加するゲートホールド回路からなり。

前記保持手段は、前記アドレス線にゲートが接続され、ノースがデータ線に接続され、トランジンが前記PチャネルのEETとのゲートに接続されたNチャネルのEETと、前記前記NチャネルのEETとのゲートの接続ドライブとアースとの間に接続されたコンデンサと、からなり。

前記電圧印加手段は、前記アトレス期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように前記バイアス電圧を印加し、前記発光期間に前記アドレス線とアースとの間に前記アドレス線側が負電位となるように前記発光電圧を印加する第1スイッチと、前記アドレス期間に前記サンプルホールド回路の保持電圧の印加によって前記NチャネルのEETを介して前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記コンデンサの端子電圧によって前記PチャネルのEETがオン又は能動状態となり、前記発光させるべき発光素子に前記NチャネルのEETを介して前記発光電圧が印加されることを特徴とする請求項4又は10記載の駆動装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明が属する技術分野】 本発明は、有機エレクトロルミネセンス素子等の容量性発光素子を用いたアクティブマトリック型発光パネルの駆動装置に関する。

##### 【0002】

【従来の技術】 近年、表示装置の大型化に伴い、薄型の表示装置が要求され、各種の薄型表示装置が実用化されている。複数の有機エレクトロルミネッセンス素子をマトリック状に配列して構成される発光パネルを用いたマトリックディスプレイは、かかる薄型表示装置の1つとして着目されている。

【0003】 有機エレクトロルミネッセンス素子（以下、単にEIS素子ともいふ）は、電気的には、図1のような等価回路にて表すことができる。図から分かるように、素子は、容量成分Cと、該容量成分に並列に結合するダイオード特性の成分Dによる構成に置き換えることができる。よって、EIS素子は、容量性の発光素子であると考えられている。EIS素子は、直流の発光駆動電圧が電極間に印加されると、電荷が容量成分Cに蓄積さ

れ、続いて当該素子固有の障壁電圧または発光閾値電圧を越えると、電極（ダイオード成分Dの陽極側）から発光層を担う有機機能層に電流が流れ始め、この電流に比例した強度で発光する。

【0004】 かかるEIS素子発光パネルとしては、EIS素子を單にマトリック状に配置した単純マトリック型発光パネルと、マトリック状に配置した各EIS素子にトラニジットからなる駆動素子を加えたアクティブマトリック型発光パネルとか知られている。アクティブマトリック型発光パネルの駆動装置においては、各EIS素子を発光駆動するためにアドレス期間と発光期間とを交互に繰り返すことが行われている。アドレス期間はマトリック型発光パネルの発光させるべきEIS素子を指定する期間であり、発光期間はアドレス期間に指定されたEIS素子に発光電圧を印加する期間である。

##### 【0005】

【発明が解決しようとする課題】 ところで、EIS素子においては、発光に際ししながら逆方向に電圧を印加すると素子寿命が延びることが経験的に知られている。しかしながら、従来のアクティブマトリック型発光パネルの駆動装置においては、例えば、特開平7-111341号公報に示されたように、EIS素子には発光期間において順方向に電圧を印加するだけであり、いずれの期間においてもEIS素子に対して逆バイアスとなるように電圧を印加することは行われていない。

【0006】 そこで、本発明の目的は、アクティブマトリック型発光パネルの各EIS素子に効果的に逆バイアス電圧を印加させることができるアクティブマトリック型発光パネルの駆動装置を提供することである。

##### 【0007】

【課題を解決するための手段】 本発明のアクティブマトリック型発光パネルの駆動装置は、マトリック状に配置され各々が極性を有する複数の容量性発光素子と複数の容量性発光素子各々を個別に駆動する駆動素子とを含むアクティブマトリック型発光パネルの駆動装置であって、入力映像データの同期タイミングに応じて複数の容量性発光素子各々に対するアドレス期間と発光期間とを繰り返し設定する設定手段と、アドレス期間に入力映像データに応じて複数の容量性発光素子のうちの発光させるべき発光素子に対応する駆動素子を指定し、その指定した駆動素子をアドレス期間に統一発光期間にオンさせる。保持手段と、発光期間に指定した駆動素子を介して発光させるべき発光素子に順方向の極性に印加する電圧印加手段と、を備え、電圧印加手段は、アドレス期間内に複数の容量性発光素子のうちの少ないものと発光させるべき発光素子に順方向とは逆方向の極性にてバイアス電圧を印加することを特徴としている。

【0008】 また、本発明のアクティブマトリック型発光パネルの駆動装置は、マトリック状に配置され

各々が極性を有する複数の容積性発光素子と複数の容積性発光素子各々を個別に駆動する能動素子とを含むアクティ・スマートリック型発光ハネルの駆動装置であって、入力映像データの同期タイミングに応じて複数の容積性発光素子各々に対するアドレス期間と発光期間とを繰り返し設定する設定手段と、アドレス期間の直前に入力映像データの輝度レベルに対応する輝度電圧を受け入れて保持してアドレス期間にその輝度電圧に応じて複数の容積性発光素子のうちの発光させるべき発光素子に対応する能動素子を指定する指定手段と、指定された能動素子をアドレス期間に統一発光期間に輝度電圧に応じて能動状態又はオフ状態にさせる保持手段と、発光期間に指定された能動素子を介して発光させるべき発光素子に順方向の極性にて発光電圧を印加する電圧印加手段と、を備え、電圧印加手段は、アドレス期間内に複数の容積性発光素子のうちの少なくとも発光させるべき発光素子に順方向とは逆方向の極性にてハイアフ電圧を印加することを特徴としている。

#### 【0010】

【発明の実施の形態】以下、本発明の実施例を図面を参照しつつ詳細に説明する。図2は本発明によるEし素子を用いた線順次表示方式の駆動装置を示している。この駆動装置は、アクティ・スマートリック型発光ハネル10、A/D変換器11、駆動制御回路12、メモリ4、アドレス走査ドライバ6及びデータドライバ7から構成されている。

【0010】発光ハネル10において、複数のEし素子E<sub>1</sub>～E<sub>n</sub>は、アドレス線(陽極線)A<sub>1</sub>～A<sub>m</sub>及びデータ線(陰極線)B<sub>1</sub>～B<sub>n</sub>の複数の交差位置にマトリックス状に配置されている。アドレス走査ドライバ6は発光ハネル10のアドレス線A<sub>1</sub>～A<sub>m</sub>に接続され、発光閾値V<sub>t</sub>を超える発光電位V<sub>e</sub>、逆バイアス電位-V<sub>b</sub>及び0Vのいずれか1の電位をアドレス線A<sub>1</sub>～A<sub>m</sub>各々に個別に供給する。データドライバ7は発光ハネル10のデータ線B<sub>1</sub>～B<sub>n</sub>に接続され、正電位V<sub>t</sub>及び0Vのいずれか一方の電位をデータ線B<sub>1</sub>～B<sub>n</sub>各々に個別に供給する。

【0011】A/D変換器11は、駆動制御回路12から供給されるクロック信号に応じて、入力されたアナログの入力映像信号をサンプルングしてこれを1画面毎に対応したビットの画素データDに変換し、これをメモリ4に供給する。メモリ4は、駆動制御回路12から供給された書込信号に従って上記画素データDを順次書き込む、かかる書き込み動作により発光ハネル10における1画面(1m行×1列)分の書き込みが終了すると、メモリ4は、駆動制御回路12から供給された読出信号に応じてこの1画面分の画素データD<sub>1</sub>～D<sub>m</sub>を各ビット桁毎に分割し、かつ第1行から第m行へと1行分毎に読み出したものを駆動画素データビット群D B<sub>1</sub>～D B<sub>n</sub>として順次、データドライバ7に供給する。

【0012】駆動制御回路12は、上記入力映像信号中における水平同期信号及び垂直同期信号に応じて、上記A/D変換器11に対するクロック信号、及びメモリ4に対する書込及び読出信号を発生する。更に、駆動制御回路12は、上記入力映像信号における1フレーム期間を8個のサブフレームに分割し、各サブフレーム内において各種駆動パルスを発光ハネル10に印加すべきタイミング信号をアドレス走査ドライバ6及びデータドライバ7の各々に供給する。このフレームのサブフレームへの分割は、25.8階調の表示をするためであり、各サブフレームの輝度の相対比が1、2、4、8、16、32、64、128となるように設定され、それらのサブフレームに選択的組み合わせにより25.8階調が実現される。なお、1フレーム期間を8サブフレーム以外の数のサブフレームに分割しても良い。

【0013】各サブフレームの動作は共通しているので、1サブフレーム分だけを説明すると、図3に示すように、1サブフレームにおいてはアドレス線A<sub>1</sub>から順にアドレス期間となり、そのアドレス期間の開始はアドレス線A<sub>m</sub>に向かって各アドレス線毎に所定期間だけ遅れる。アドレス走査ドライバ6は、アドレス期間において逆バイアス電位-V<sub>b</sub>を走査ハリストPとしてアドレス線に供給する。アドレス期間が終了すると、発光期間となり、アドレス走査ドライバ6は、発光電位V<sub>e</sub>をアドレス線に供給する。1サブフレーム内において各アドレス線毎のアドレス期間は同一の長さであり、発光期間も同一の長さであるが、1フレーム内において時間的に後に位置するサブフレームほど、発光期間は短くなる。

【0014】データドライバ7は、上記メモリ4から順次読み出された駆動画素データビット群D B<sub>1</sub>～D B<sub>n</sub>各々に対応した画素データバルス群D P<sub>1</sub>～D P<sub>n</sub>を発生し、これらをアドレス期間にあるデータ線B<sub>1</sub>～B<sub>n</sub>に順次印加していく。なお、データドライバ7は、駆動画素データビット群D B<sub>1</sub>～D B<sub>n</sub>における1データビットが例えば論理レベル“0”である場合には電圧V<sub>0</sub>の画素データバルスを発生する一方、論理レベル“1”である場合には0Vの画素データバルスを発生してデータ線B<sub>1</sub>～B<sub>n</sub>に印加する。すなわち、データドライバ7は、この画素データバルスの1行分(8個)を上記画素データバルス群D Pとしてデータ線B<sub>1</sub>～B<sub>n</sub>に印加するのである。

【0015】この際、走査ハリストPが印加された後と、電圧V<sub>0</sub>の画素データバルスが印加された後との交差部のEし素子にのみ発光期間において電流が流れて発光状態となる。一方、走査ハリストPが印加されたものの、0Vの画素データバルスが印加されたEし素子には発光期間において電流は流れず、非発光状態となる。

【0016】図4は1フレーム内における発光ハネル10の行方向(アドレス線A<sub>1</sub>～A<sub>m</sub>方向)についての第1サブフレーム～第8サブフレーム各々の時間的

位置を示している、各サブフィールド内においてサブフィールド終了直前にアドレス走査ドライバ6は、0Vをアドレス線A<sub>1</sub>～A<sub>m</sub>に供給してEし素子をリセットする。

【0.01.7】図5は発光時間1.0におけるアドレス線A<sub>1</sub>～A<sub>m</sub>のうちの1つのアドレス線A<sub>1</sub>とデータ線B<sub>1</sub>～B<sub>n</sub>のうちの1つのデータ線B<sub>1</sub>とが交差する位置に設けられたEし素子E<sub>1,1</sub>を含む発光回路1.0<sub>1,1</sub>を示している。発光回路1.0<sub>1,1</sub>はEし素子E<sub>1,1</sub>の他に、Pch(チャンネル)のMOSFET T1,1、NchのMOSFET T1,2及びコンデンサ1.3を備えている。アドレス線A<sub>1</sub>にはEし素子E<sub>1,1</sub>のアノードとFET T1,1のゲートとが接続されている。データ線B<sub>1</sub>にはFET T1,1のソースが接続されている。FET T1,1のドレインにはFET T1,2のゲートが接続され、その接続ラインはコンデンサ1.3を介してアース接続されている。Eし素子E<sub>1,1</sub>のカソードにはFET T1,2のソースが接続されており、FET T1,2のドレインはアース接続されている。

【0.01.8】アドレス線A<sub>1</sub>はアドレス走査ドライバ6内のスイッチ6<sub>1</sub>に接続されており、スイッチ6<sub>1</sub>は上記した発光電位V<sub>e</sub>、逆バイアス電位V<sub>a</sub>及び0Vのアース電位のいずれか1の電位を選択的にアドレス線A<sub>1</sub>に供給する。また、データ線B<sub>1</sub>はデータドライバ7内のスイッチ7<sub>1</sub>に接続されており、スイッチ7<sub>1</sub>は正電位V<sub>L</sub>及び0Vのアース電位のいずれか一方の電位をデータ線B<sub>1</sub>に供給する。スイッチ6<sub>1</sub>及び7<sub>1</sub>の切換は駆動制御回路2からのタイミング信号に応じて行われる。

【0.01.9】Eし素子E<sub>1,1</sub>が発光するサブフィールドにおいては、アドレス線A<sub>1</sub>の行がアドレス期間になると、スイッチ6<sub>1</sub>はアドレス線A<sub>1</sub>に逆バイアス電位-V<sub>a</sub>を供給する。すなわち、アドレス線A<sub>1</sub>の選択は、負電位-V<sub>a</sub>のアドレスシグナルの供給により行われ、このときEし素子E<sub>1,1</sub>のアノードに負電位-V<sub>a</sub>が印加され、カソードはアース電位であることからEし素子E<sub>1,1</sub>は逆方向にバイアスされる。一方、データ線B<sub>1</sub>にはアドレス期間において正電位V<sub>L</sub>がスイッチ7<sub>1</sub>を介して供給されるので、FET T1,1はオフとなり、電圧V<sub>L</sub>によってコンデンサ1.3が充電される。このときFET T1,2のゲートにはコンデンサ1.3の端子電圧である正電圧が印加される。

【0.01.10】アドレス期間が終了して発光期間となると、スイッチ6<sub>1</sub>はアドレス線A<sub>1</sub>に発光電位V<sub>e</sub>を供給するので、FET T1,1はオフとなるが、FET T1,2はそのゲートにコンデンサ1.3の充電電圧が印加されるためオフ状態となる。よって、FET T1,2のオフによりEし素子E<sub>1,1</sub>のカソードはアース電位に導かれなり、Eし素子E<sub>1,1</sub>には発光電圧V<sub>e</sub>が順方向にて印加されるので電流が流れてEし素子E<sub>1,1</sub>は発光状態となる。

【0.01.11】発光期間が終了すると、スイッチ6<sub>1</sub>は0Vのアース電位をアドレス線A<sub>1</sub>に供給するので、Eし

素子E<sub>1,1</sub>の両端子間がほぼ0Vとなりセリト期間となる。かかる効率回路1.0<sub>1,1</sub>は第1サブフィールド～第8サブフィールド各々において同様に動作する。また、発光回路1.0<sub>1,1</sub>及び発光回路1.0<sub>1,2</sub>～1.0<sub>1,n</sub>(図示せず)各々においても効率回路1.0<sub>1,1</sub>と同様に動作する。

【0.02.2】なお、発光回路1.0<sub>1,1</sub>は以下に示すように構成することもできる。図6の発光回路1.0<sub>1,1</sub>はEし素子E<sub>1,1</sub>の他に、NchのMOSFET T1,6、PchのMOSFET T1,7及びコンデンサ1.8からなる。アドレス線A<sub>1</sub>にはEし素子E<sub>1,1</sub>のカソードとFET T1,6のゲートとが接続されている。データ線B<sub>1</sub>にはFET T1,7のゲートのソースが接続されている。FET T1,6のドレインにはFET T1,7のゲートが接続され、その接続ラインはコンデンサ1.8を介してアース接続されている。Eし素子E<sub>1,1</sub>のアノードにはFET T1,7のドレインが接続されており、FET T1,7のソースはアース接続されている。

【0.02.3】アドレス線A<sub>1</sub>に接続されたスイッチ6<sub>1</sub>は上記した発光電位-V<sub>a</sub>、逆バイアス電位V<sub>a</sub>及び0Vのいずれか1の電位を選択的にアドレス線A<sub>1</sub>に供給する。また、データ線B<sub>1</sub>に接続されたスイッチ7<sub>1</sub>は電位V<sub>L</sub>及び0Vのいずれか一方の電位をデータ線B<sub>1</sub>に供給する。スイッチ6<sub>1</sub>及び7<sub>1</sub>の切換は駆動制御回路2からのタイミング信号に応じて行われる。

【0.02.4】この図6のEし素子E<sub>1,1</sub>が発光するサブフィールドにおいては、アドレス線A<sub>1</sub>に行がアドレス期間になると、スイッチ6<sub>1</sub>はアドレス線A<sub>1</sub>に逆バイアス電位V<sub>a</sub>を供給する。このときEし素子E<sub>1,1</sub>のカソードには正電位V<sub>e</sub>が印加され、アノードはアース電位であることからEし素子E<sub>1,1</sub>は図5の場合と同様に逆方向にバイアスされる。一方、データ線B<sub>1</sub>にはアドレス期間において正電位V<sub>L</sub>がスイッチ7<sub>1</sub>を介して供給されるので、FET T1,6はオンとなり、電圧V<sub>L</sub>によってコンデンサ1.8が充電される。このときFET T1,7のゲートにはコンデンサ1.8の端子電圧である正電圧が印加される。

【0.02.5】アドレス期間が終了して発光期間となると、スイッチ6<sub>1</sub>はアドレス線A<sub>1</sub>に発光電位V<sub>e</sub>を供給するので、FET T1,6はオフとなるが、FET T1,7はそのゲートにコンデンサ1.8の充電電圧が印加されるためオン状態となる。よって、FET T1,6のオフによりEし素子E<sub>1,1</sub>のアノードはアース電位に導かれなり、Eし素子E<sub>1,1</sub>には発光電圧V<sub>e</sub>が順方向にて印加されるので電流が流れてEし素子E<sub>1,1</sub>は発光状態となる。

【0.02.6】発光期間が終了すると、スイッチ6<sub>1</sub>は0Vのアース電位をアドレス線A<sub>1</sub>に供給するので、Eし素子E<sub>1,1</sub>の両端子間がほぼ0Vとなりセリト期間となる。図7は本発明によるEし素子を用いた全面一齊表示方式の駆動装置を示している。この駆動装置は、アク

ティプマトリックス型発光ハネル20と、A/D変換器21、駆動制御回路22、メモリ24、アドレス走査ドライバ26、データドライバ27及び電源回路28から構成されている。

【0027】発光ハネル20において、複数のE-L素子E<sub>1,1</sub>～E<sub>m,n</sub>は、アドレス線A<sub>1</sub>～A<sub>m</sub>及びデータ線B<sub>1</sub>～B<sub>n</sub>の複数の交差位置にマトリクス状に配置されている。E-L素子E<sub>1,1</sub>～E<sub>m,n</sub>各々のアノードは電源線Cに共通接続されている。アドレス走査ドライバ26は発光ハネル20のアドレス線A<sub>1</sub>～A<sub>m</sub>に接続され、電位Vcc及び0Vのアース電位のいずれか一方の電位をアドレス線A<sub>1</sub>～A<sub>m</sub>各々に個別に供給する。データドライバ27は発光ハネル20のデータ線B<sub>1</sub>～B<sub>n</sub>に接続され、正電位V<sub>L</sub>及び0Vのいずれか一方の電位をデータ線B<sub>1</sub>～B<sub>n</sub>各々に個別に供給する。電源回路28は電源線Cに接続され、発光電位V<sub>L</sub>、逆バイアス電位-V<sub>a</sub>及び0Vのアース電位のいずれか一方の電位を電源線Cに供給する。

【0028】A/D変換器21は、駆動制御回路22から供給されるクロック信号に応じて、入力されたアナログの入力映像信号をサンプリングしてこれをE-L素子毎に対応したNビットの画素データDに変換し、これをメモリ24に供給する。メモリ24は、駆動制御回路22から供給された書込信号に従って上記画素データDを順次書き込む。かかる書き動作により発光ハネル20における1画面(m行、n列)分の書き込みが終了すると、メモリ24は、駆動制御回路22から供給された読出信号に応じてこの1画面分の画素データD<sub>1-mn</sub>を各ビット桁毎に分割し、かつ第1行から第m行へと1行分毎に読み出したものを駆動画素データビット群D<sub>B1</sub>～D<sub>Bn</sub>として順次、データドライバ27に供給する。

【0029】駆動制御回路22は、上記入力映像信号中における水平同期信号及び垂直同期信号に応じて、上記A/D変換器21に対するクロック信号、及びメモリ24に対する書込及び読出信号を発生する。更に、駆動制御回路22は、上記入力映像信号における1フィールド期間を8個のサブフィールドに分割し、各サブフィールド内において各種駆動パルスを発光ハネル20に印加すべきタイミング信号をアドレス走査ドライバ26、データドライバ27及び電源回路28の各々に供給する。

【0030】各サブフィールドの動作は共通しているので、1サブフィールド分だけを説明すると、図8に示すように、1サブフィールドにおいてはアドレス線A<sub>1</sub>～A<sub>m</sub>が全てアドレス期間となり、アドレス期間が終了すると、アドレス線A<sub>1</sub>～A<sub>m</sub>全てが発光期間となる。発光期間は1フィールド内において時間的に後に位置するサブフィールドほど長くなる。

【0031】アドレス走査ドライバ26は、アドレス期間において0Vのアース電位を走査ハシタS/Pとしてアドレス線A<sub>1</sub>から順番にアドレス線に供給する。アドレ

ス線A<sub>m</sub>に走査パルスを供給すると、アドレス期間は終了して発光期間となる。また、アドレス走査ドライバ26は、走査ハシタS/Pの供給時以外においてはアドレス線A<sub>1</sub>～A<sub>m</sub>を正電位Vccに維持する。

【0032】データドライバ27は、上記メモリ24から順次読み出された駆動画素データビット群D<sub>B1</sub>～D<sub>Bn</sub>各々に対応した画素データハリスト群D<sub>P1</sub>～D<sub>Pn</sub>を発生し、これらをアドレス期間において走査パルスS/Pに同期してデータ線B<sub>1</sub>～B<sub>n</sub>に順次印加して行く。なお、データドライバ27は、駆動画素データビット群D<sub>B</sub>中における1データビットが例えば論理レベル“0”である場合には電圧V<sub>L</sub>の画素データハリストを発生する一方、論理レベル“1”である場合には0Vの画素データハリストを発生してデータ線B<sub>1</sub>～B<sub>n</sub>に印加する。すなわち、データドライバ27は、この画素データハリストの1行分(n個)を上記画素データハリスト群D<sub>P</sub>としてデータ線B<sub>1</sub>～B<sub>n</sub>に印加するのである。

【0033】電源回路28はアドレス期間において逆バイアス電位-V<sub>a</sub>を電源線Cに供給し、発光期間においては発光電位V<sub>L</sub>を電源線Cに供給する。アドレス期間に走査パルスS/Pが印加された“行”と、電圧V<sub>L</sub>の画素データハリストが印加された“列”との交差部のE-L素子にのみ発光期間において発光電位V<sub>L</sub>による電流が流れて発光状態となる。一方、走査パルスS/Pが印加されたものの、0Vの画素データハリストが印加されたE-L素子には発光期間において電流は流れず、非発光状態となる。

【0034】図9は1コマート内における発光ハネル20の行方向(アドレス線A<sub>1</sub>～A<sub>m</sub>方向)についての第1サブフィールド～第8サブフィールド各々の時間的位置を示している。各サブフィールド間ににおいて電源回路28は、0Vのアース電位を電源線Cに供給してE-L素子をリセットする。図10は発光ハネル20におけるアドレス線A<sub>1</sub>～A<sub>m</sub>うちの1つのアドレス線A<sub>1</sub>とデータ線B<sub>1</sub>～B<sub>n</sub>うちの1つのデータ線B<sub>1</sub>とが交差する位置に設けられたE-L素子E<sub>1,1</sub>を含む発光回路20<sub>1,1</sub>を示している。発光回路20<sub>1,1</sub>はE-L素子E<sub>1,1</sub>の他に、PchのMOSFET31、NchのMOSFET32及びコンデンサ33を備えている。アドレス線A<sub>1</sub>にはFET31のゲートが接続されている。データ線B<sub>1</sub>にはFET31のノースが接続されている。FET31のドラインにはFET32のゲートが接続され、その接続ラインにはコンデンサ33を介してアース接続されている。E-L素子E<sub>1,1</sub>のカソードにはFET32のノースが接続されており、FET32のドラインはアース接続されている。E-L素子E<sub>1,1</sub>のアノードは電源線Cに接続されている。

【0035】アドレス線A<sub>1</sub>はアドレス走査ドライバ26内のスイッチ29<sub>1</sub>に接続されており、スイッチ29<sub>1</sub>は上記した正電位Vcc及び0Vのアース電位のうちの一方の電位をアドレス線A<sub>1</sub>に供給する。また、データ線

$B_j$ はデータドライバ27内のスイッチ27jに接続されており、スイッチ27jは正電位 $V_L$ 及び0Vのアース電位のいずれか一方の電位をデータ線 $B_j$ に供給する。電源線Cには電源回路28内のスイッチ28cに接続され、スイッチ28cは発光電位 $V_{le}$ 、逆バイアス電位 $-V_{la}$ 及び0Vのアース電位のいずれか1の電位を電源線Cに供給する。スイッチ26j、スイッチ27j及びスイッチ28cの切換は駆動制御回路2からのタイミング信号に応じて行われる。

【0036】Eし素子 $E_{1,j}$ が発光するサブフィールドにおいては、アドレス線 $A_1$ の行がアドレス期間になると、スイッチ26jはアース電位の走査パルスをアドレス線 $A_1$ に供給する。その走査パルスの供給中ににおいて、FET31がオフとなると共にデータ線 $B_j$ には正電位 $V_L$ がスイッチ27jを介して供給されるので、電圧 $V_L$ によってコンデンサ33が充電される。このときFET32のゲートにはコンデンサ33の端子電圧である正電圧が印加される。電源線Cにはアドレス期間においてはスイッチ28cから逆バイアス電位 $-V_{la}$ が供給されるので、Eし素子 $E_{1,j}$ のアノードには逆バイアス電位 $-V_{la}$ が印加される。

【0037】アドレス期間が終了して発光期間となると、スイッチ26jはアドレス線 $A_1$ に正電位 $Vcc$ を供給するので、FET31はオフとなる。一方、電源線Cを介してEし素子 $E_{1,j}$ のアノードには発光期間にはスイッチ28cから発光電位 $V_{le}$ が供給され、FET32はそのゲートにコンデンサ33の充電電圧が印加されているためオン状態となる。よって、Eし素子 $E_{1,j}$ には発光電圧 $V_{le}$ が順方向にて印加されるので電流が流れ、Eし素子 $E_{1,j}$ は発光状態となる。

【0038】発光期間が終了すると、スイッチ28cは0Vのアース電位を電源線Cに供給するので、Eし素子 $E_{1,j}$ の両端子間がほぼ0Vとなりセント期間となる。かかる発光回路201jは第1サブフィールド～第8サブフィールド各々において同様に動作する。また、発光パネル20の発光回路201j以外の発光回路201,1～20m,n(図示せず)各々においても発光回路201jと同様に動作する。

【0039】なお、発光回路201jは図11に示すように構成することもできる。図11の発光回路201jはEし素子 $E_{1,j}$ の他に、N側のMOSFET46、PchのMOSFET47及びコンデンサ48からなる。アドレス線 $A_1$ にはFET46のゲートと接続されている。データ線 $B_j$ にはFET46のソースが接続されている。FET46のドレインにはFET42のゲートが接続され、その接続ラインはコンデンサ48を介してアース接続されている。Eし素子 $E_{1,j}$ のアノードにはFET42のドレインが接続されており、FET42のソースはアース接続されている。

【0040】スイッチ26jは正電位 $Vcc$ 及び0Vのア

ース電位のうちの一方の電位をアドレス線 $A_1$ に供給する。スイッチ27jは正電位 $V_L$ 及び0Vのアース電位のいずれか一方の電位をデータ線 $B_j$ に供給する。スイッチ28cは発光電位 $V_{le}$ 、逆バイアス電位 $-V_{la}$ 及び0Vのアース電位のいずれか1の電位を電源線Cに供給する。スイッチ26j、スイッチ27j及びスイッチ28cの切換は駆動制御回路2からのタイミング信号に応じて行われる。

【0041】Eし素子 $E_{1,j}$ が発光するサブフィールドにおいては、アドレス線 $A_1$ の行がアドレス期間になると、スイッチ26jは正電位 $Vcc$ の走査パルスをアドレス線 $A_1$ に供給する。その走査パルスの供給中ににおいて、FET31がオフとなると共にデータ線 $B_j$ には正電位 $V_L$ がスイッチ27jを介して供給されるので、電圧 $V_L$ によってコンデンサ48が充電される。このときFET42のゲートにはコンデンサ48の端子電圧である正電圧が印加される。電源線Cにはアドレス期間においてはスイッチ28cから逆バイアス電位 $-V_{la}$ が供給されるので、Eし素子 $E_{1,j}$ のカソードには逆バイアス電位 $-V_{la}$ が印加される。すなわち、アドレス期間においては発光パネル20内の全てのEし素子 $E_{1,j}$ が逆方向にバイアスされる。

【0042】アドレス期間が終了して発光期間となると、スイッチ26jはアドレス線 $A_1$ に0Vのアース電位を供給するので、FET41はオフとなる。一方、電源線Cを介してEし素子 $E_{1,j}$ のカソードには発光期間にはスイッチ28cから発光電位 $V_{le}$ が供給され、FET42はそのゲートにコンデンサ48の充電電圧が印加されているためオン状態となる。よって、Eし素子 $E_{1,j}$ には発光電圧 $V_{le}$ が順方向にて印加されるので電流が流れ、Eし素子 $E_{1,j}$ は発光状態となる。

【0043】発光期間が終了すると、スイッチ28cは0Vのアース電位を電源線Cに供給するので、Eし素子 $E_{1,j}$ の両端子間がほぼ0Vとなりセント期間となる。かかる発光回路201jは第1サブフィールド～第8サブフィールド各々において同様に動作する。また、発光パネル20の発光回路201j以外の発光回路201,1～20m,n(図示せず)各々においても発光回路201jと同様に動作する。

【0044】なお、上記した各実施例においては、アドレス期間においてはそれに統一発光間に発光させるEし素子に逆バイアス電圧が印加されるが、発光させないEし素子に逆バイアス電圧を印加しても良い。上記した実施例においては、輝度調整を時間変調方式(サブフィールド方式)で行う装置を示したが、次に、電流変調方式で輝度調整を行なう駆動装置について説明する。

【0045】図12は電流変調方式で輝度調整を行う駆動装置を示している。この駆動装置は図1の装置と同様に線順次発光方式の発光を行なうものであり、図1-2に示すように、アクティーフマトリクス型発光パネル10、

レベル変換回路51、駆動制御回路52、アドレス走査トライバ53及びデータドライバ54から構成されている。

【0046】アケテ・スマトリックス型発光パネル10は図13に示すように、図2に示したものと同一の構成を有する。レベル変換回路51は入力映像信号の輝度レベルを検出してその輝度レベルに応じた電圧信号を発光パネル10のデータ線B<sub>1</sub>～B<sub>n</sub>に対応させてデータドライバ54に供給する。なお、図13は発光パネル10におけるアドレス線A<sub>1</sub>～A<sub>m</sub>のうちの1つのアドレス線A<sub>1</sub>とデータ線B<sub>1</sub>～B<sub>n</sub>のうちの1つのデータ線B<sub>1</sub>との交差する位置に設けられたE.L.素子E<sub>1,1</sub>を含む発光回路10<sub>1,1</sub>を示している。

【0047】アドレス走査トライバ53は発光パネル10のアドレス線A<sub>1</sub>～A<sub>m</sub>に接続され、発光閾値V<sub>t,h</sub>を超える発光電位V<sub>e</sub>及び逆ハイアイフ電位-V<sub>a</sub>のいずれか1の電位をアドレス線A<sub>1</sub>～A<sub>m</sub>各々に個別に供給するスイッチを備えている。図13ではスイッチ6<sub>j</sub>が上記した発光電位V<sub>e</sub>及び逆ハイアイフ電位-V<sub>a</sub>のいずれか1の電位を選択的にアドレス線A<sub>1</sub>に供給する。スイッチ6<sub>j</sub>の切換は駆動制御回路52からのタイミング信号に応じて行われる。

【0048】データドライバ54は発光パネル10のデータ線B<sub>1</sub>～B<sub>n</sub>毎にサンプルホールド回路(図13の55<sub>j</sub>)を有している。サンプルホールド回路各々はスイッチとコンデンサとからなり、レベル変換回路51から輝度レベルに対応する電圧信号が供給されるように構成されている。サンプルホールド回路の出力が対応するデータ線B<sub>1</sub>～B<sub>n</sub>に接続されている。

【0049】駆動制御回路52は、上記入力映像信号中における水平同期信号及び垂直同期信号に応じて、入力映像信号における1フィールド期間内において各種駆動パルスを発光パネル10に印加すべきタイミング信号をアドレス走査ドライバ53及びデータドライバ54の各々に供給する。1フィールド期間内においては、図14に示すようにアドレス線A<sub>1</sub>から順にアドレス期間となり、そのアドレス期間の開始はアドレス線A<sub>m</sub>に向かって各アドレス線毎に所定期間だけ遅れる。アドレス走査ドライバ53は、アドレス期間において逆ハイアイフ電位-V<sub>a</sub>を走査パルスS.Pとしてアドレス線に供給する。アドレス期間が終了すると、発光期間となり、アドレス走査ドライバ53は、発光電位V<sub>e</sub>をアドレス線に供給する。1フィールド内において各アドレス線毎のアドレス期間は同一の長さであり、発光期間も同一の長さである。

【0050】データドライバ54においては、レベル変換回路51から読み出されたデータ線B<sub>1</sub>～B<sub>n</sub>各々に対応した電圧信号をサンプルホールド回路に供給して保持させる。サンプルホールド回路55<sub>j</sub>のスイッチ6<sub>j</sub>はアドレス期間の直前に一時的にオンとなり、コ

ンデンサ57<sub>j</sub>に電圧信号を保持させる。このスイッチ6<sub>j</sub>のオンオフは駆動制御回路52から供給されるタイミング信号に応じて制御される。アドレス期間になつたデータ線にはサンプルホールド回路55<sub>j</sub>のコンデンサ57<sub>j</sub>の保持レベルが印加され、これが画素データバルスとなる。

【0051】この際、走査パルスS.Pが印加された"行"と、保持レベルの画素データバルスが印加された"列"との交差部のE.L.素子にのみ発光期間において電流が流れ発光状態となる。一方、走査パルスS.Pが印加されたものの、保持レベルがV<sub>e</sub>の画素データバルスが印加されたE.L.素子には発光期間において電流は流れず、非発光状態となる。

【0052】図13の発光回路10<sub>1,1</sub>のE.L.素子E<sub>1,1</sub>が発光するフィールドにおいては、アドレス線A<sub>1</sub>の行がアドレス期間になる直前にスイッチ6<sub>j</sub>がオンとなり、レベル変換回路51から供給された輝度レベルに対応する正電圧の電圧信号がコンデンサ57<sub>j</sub>に保持され、その後、スイッチ6<sub>j</sub>は直ちにオフとなる。アドレス線A<sub>1</sub>の行がアドレス期間になると、スイッチ6<sub>j</sub>はアドレス線A<sub>1</sub>に逆ハイアイフ電位-V<sub>a</sub>を供給する。このときE.L.素子E<sub>1,1</sub>のソースに負電位-V<sub>a</sub>が印加され、カソードはアース電位であることからE.L.素子E<sub>1,1</sub>は逆方向にバイアスされる。一方、データ線B<sub>1</sub>にはアドレス期間においてコンデンサ57<sub>j</sub>に保持されている電圧信号が供給されるので、FET11はオンとなり、電圧信号によってコンデンサ57<sub>j</sub>が充電される。このときFET12のゲートにはコンデンサ57<sub>j</sub>の端子電圧である正電圧が印加される。

【0053】アドレス期間が終了して発光期間となると、スイッチ6<sub>j</sub>はアドレス線A<sub>1</sub>に発光電位V<sub>e</sub>を供給するので、FET11はオフとなるが、FET12はそのゲートにコンデンサ57<sub>j</sub>の充電電圧が印加されるためオン状態又は能動状態となる。FET12はゲートへの印加電圧、すなわち輝度レベルに応じてオン状態又は能動状態となる。

【0054】FET12のオフの場合にはE.L.素子E<sub>1,1</sub>のカソードはアース電位に導きなり、E.L.素子E<sub>1,1</sub>には発光電位V<sub>e</sub>が順方向に印加されるので電流が流れE.L.素子E<sub>1,1</sub>は発光状態となる。また、能動状態の場合にはコンデンサ57<sub>j</sub>の充電電圧に応じた電流がE.L.素子E<sub>1,1</sub>及びFET12のソース・トレンジ間には流れるので、E.L.素子E<sub>1,1</sub>は映像信号の輝度レベルに応じた輝度で発光することとなる。

【0055】かかる電流変調方式の駆動装置の発光回路10<sub>1,1</sub>は図15に示すように構成することもできる。発光回路10<sub>1,1</sub>は図4に示したように、E.L.素子E<sub>1,1</sub>の他に、NchのMOSFET16、PchのMOSFET17及びコンデンサ18からなる。アドレス線A<sub>1</sub>に接続されたスイッチ6<sub>j</sub>は上記した発光電位-V<sub>a</sub>及

び逆バイアス電位  $V_a$  のいずれか 1 の電位を選択的にアドレス線  $A_1$  に供給する。

【0056】この図 15 の E-L 素子  $E_{1,1}$  が発光するフィールドにおいては、アドレス線  $A_1$  の行がアドレス期間になる直前にスイッチ  $S_1$  がオフとなり、レベル変換回路 5-1 から供給された正電圧の電圧信号がコンデンサ  $C_{1,1}$  に保持され、その後、スイッチ  $S_1$  は直ちにオフとなる。アドレス線  $A_1$  の行がアドレス期間になると、スイッチ  $S_1$  はアドレス線  $A_1$  に逆バイアス電位  $V_a$  を供給する。このとき E-L 素子  $E_{1,1}$  のカソードに正電位  $V_c$  が印加され、アノードはアース電位であることから E-L 素子  $E_{1,1}$  は逆方向にバイアスされる。一方、データ線  $B_1$  にはアドレス期間において正電位の電圧信号が供給されるので、FET 1-6 はオンとなり、電圧信号によってコンデンサ 1-8 が充電される。このとき FET 1-7 のゲートにはコンデンサ 1-8 の端子電圧である正電圧が印加される。

【0057】アドレス期間が終了して発光期間となると、スイッチ  $S_1$  はアドレス線  $A_1$  に発光電位  $-V_e$  を供給するので、FET 1-6 はオフとなるが、FET 1-7 はそのゲートにコンデンサ 1-8 の充電電圧が印加されるためオフ状態又は能動状態となる。FET 1-7 はゲートへのコンデンサ 1-8 からの印加電圧、すなわち輝度レベルに応じてオン状態又は能動状態となる。

【0058】FET 1-7 のオフの場合には、E-L 素子  $E_{1,1}$  のアノードはアース電位に等しくなり、E-L 素子  $E_{1,1}$  には発光電圧  $V_e$  が順方向にて印加されるので電流が流れ、E-L 素子  $E_{1,1}$  は発光状態となる。また、能動状態の場合にはコンデンサ 1-8 の充電電圧に応じた電流が E-L 素子  $E_{1,1}$  及び FET 1-7 のソース-ドレイン間に流れるので、E-L 素子  $E_{1,1}$  は映像信号の輝度レベルに応じた輝度で発光することとなる。

#### 【0059】

【発明の効果】以上の如く、本発明によれば、アドレス期間にアクティブマトリックス型発光パネルの各 E-L 素子に逆バイアス電圧を印加させることができ、この結果、E-L 素子の寿命を延ばすことができる。

#### 【図面の簡単な説明】

【図 1】 E-L 素子の等価回路を示す回路図である。

【図 2】 本発明による線順次表示方式の駆動装置を示すブロック図である。

【図 3】 図 2 の装置の 1 サブフィールドにおけるアドレス期間及び発光期間を示す図である。

【図 4】 線順次表示方式の場合の 1 フィールドにおける各サブフィールドの分割を示す図である。

【図 5】 図 2 の発光パネル上の 1 つの発光回路例を示す回路図である。

【図 6】 図 5 の発光パネル上の 1 つの発光回路の他の例を示す回路図である。

【図 7】 本発明による全面一斉表示方式の駆動装置を示すブロック図である。

【図 8】 図 7 の装置の 1 サブフィールドにおけるアドレス期間及び発光期間を示す図である。

【図 9】 全面一斉表示方式の場合の 1 フィールドにおける各サブフィールドの分割を示す図である。

【図 10】 図 7 の発光パネル上の 1 つの発光回路例を示す回路図である。

【図 11】 図 7 の発光パネル上の 1 つの発光回路の他の例を示す回路図である。

【図 12】 電流変調方式で輝度調整を行う駆動装置を示すブロック図である。

【図 13】 図 12 の発光パネル上の 1 つの発光回路例を示す回路図である。

【図 14】 図 12 の装置の 1 フィールドにおけるアドレス期間及び発光期間を示す図である。

【図 15】 図 12 の発光パネル上の 1 つの発光回路の他の例を示す回路図である。

#### 【符号の説明】

4. 24 イモリ

6. 26, 53 アドレス走査ドライバ

7. 27, 54 データトライバ

10. 20 発光パネル

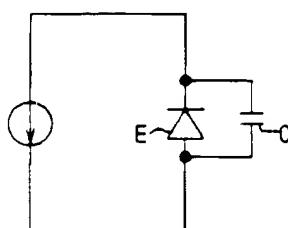
28 電源回路

$A_1 \sim A_m$  アドレス線

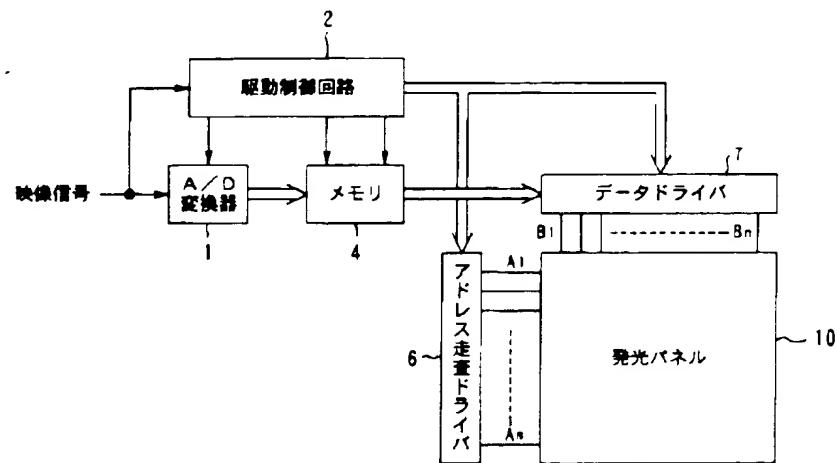
$B_1 \sim B_n$  データ線

$E_{1,1}$  E-L 素子

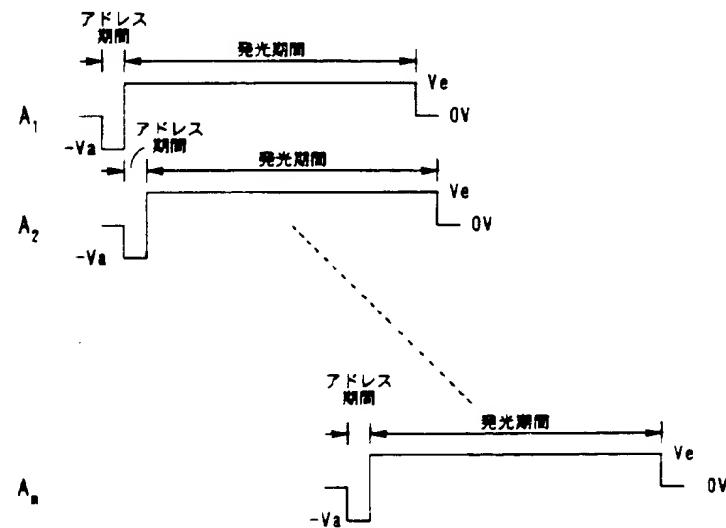
【図 1】



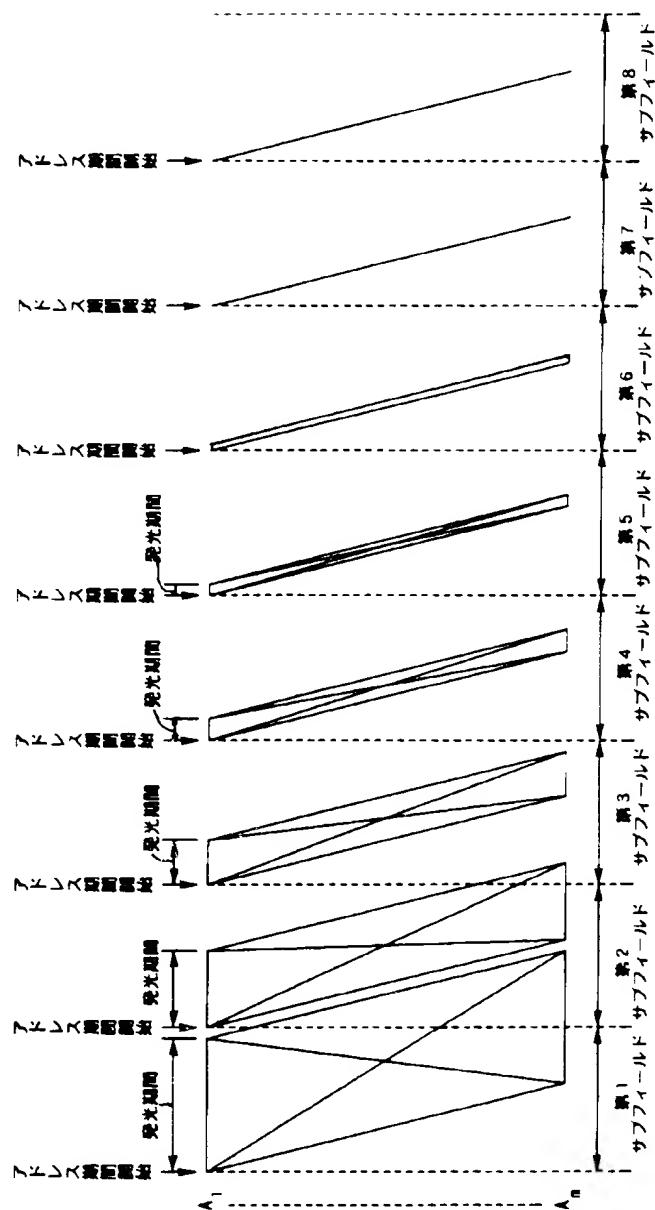
【図2】



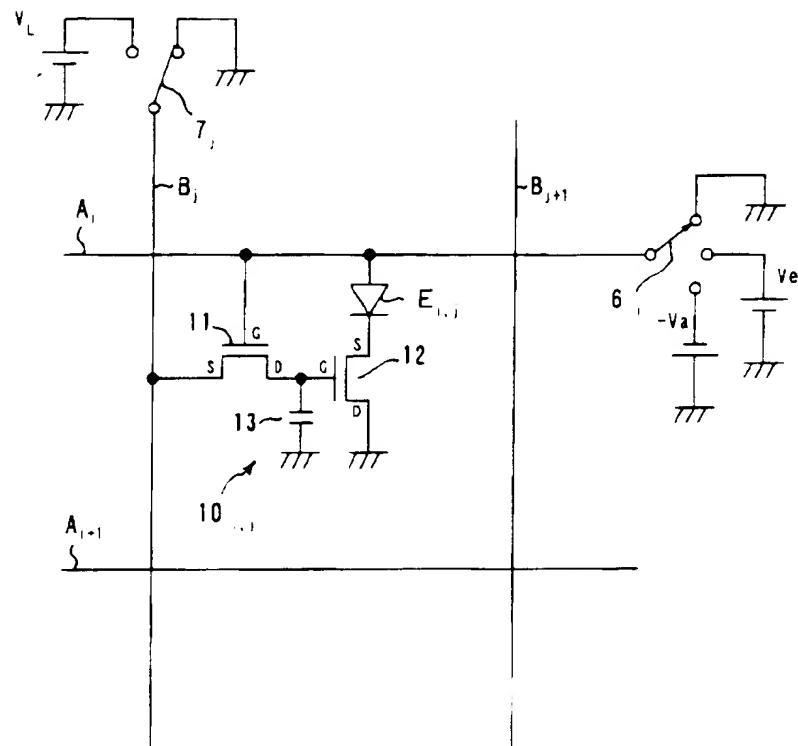
【図3】



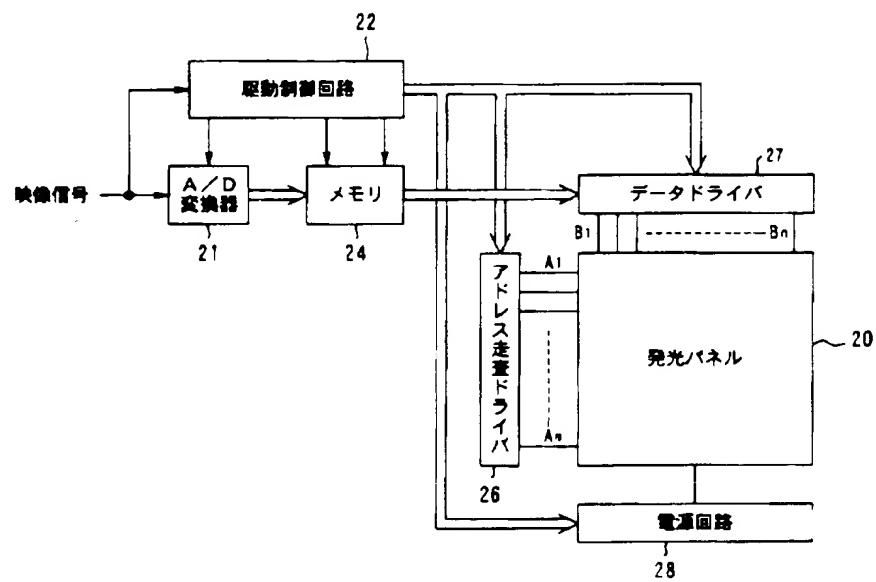
【図4】



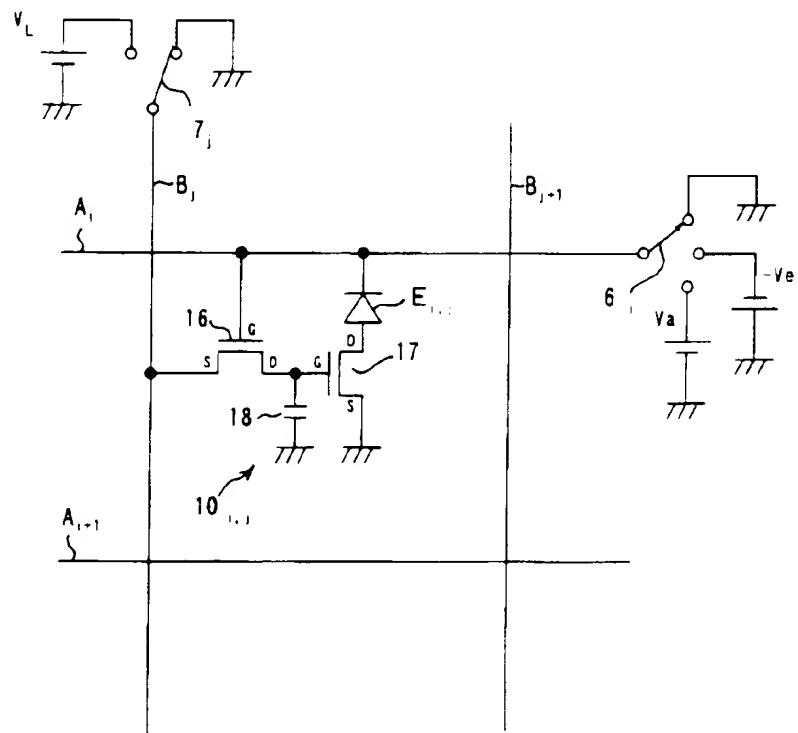
【図5】



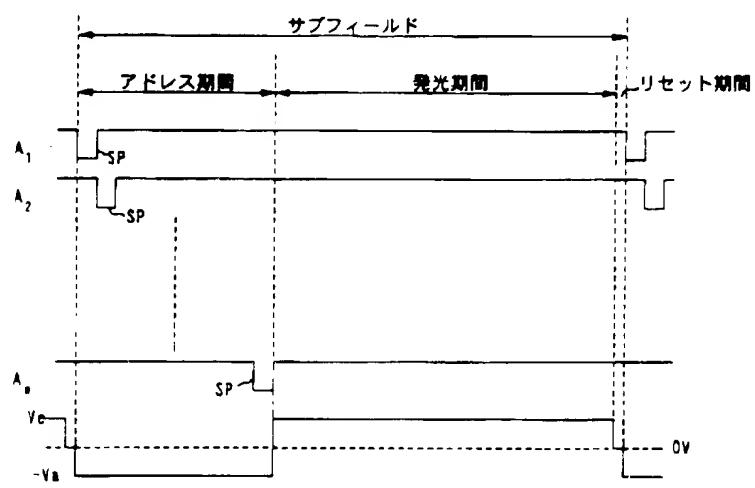
【図7】



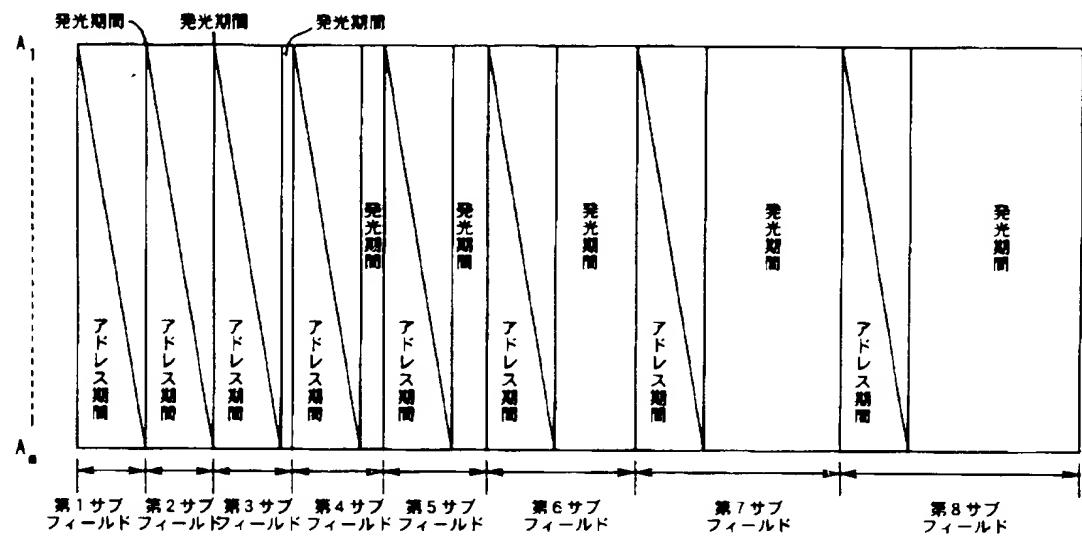
【図6】



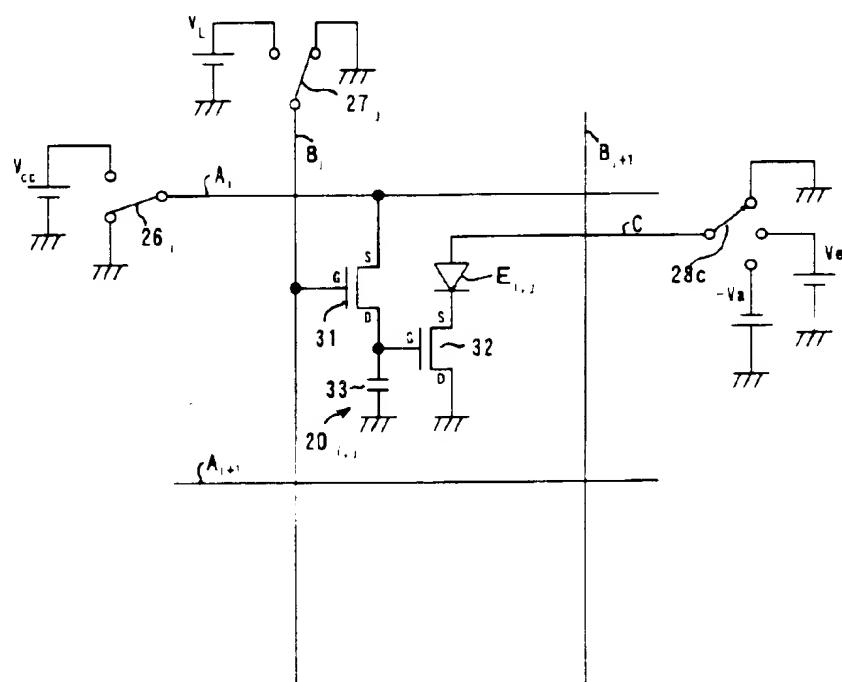
【図8】



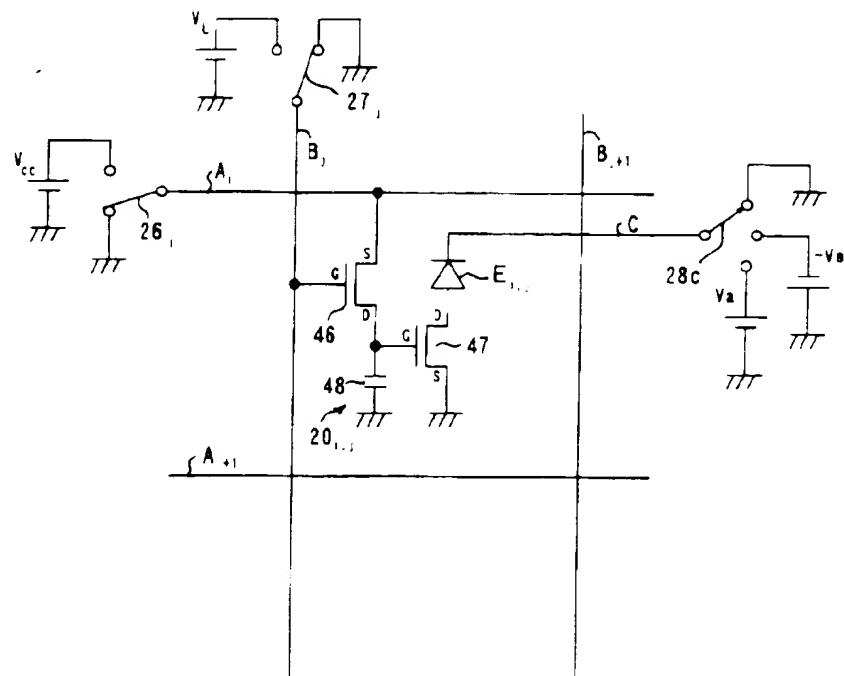
【図9】



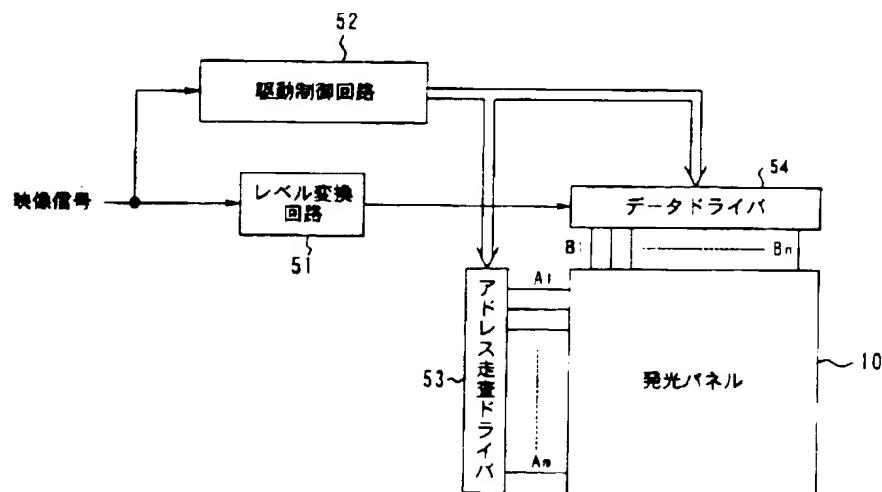
【図10】



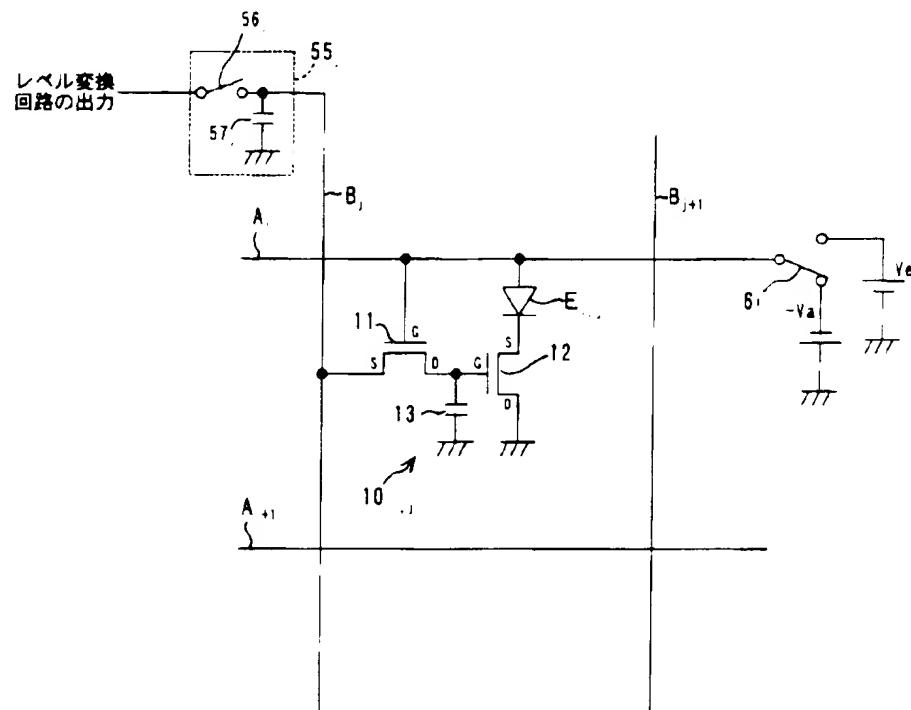
【図11】



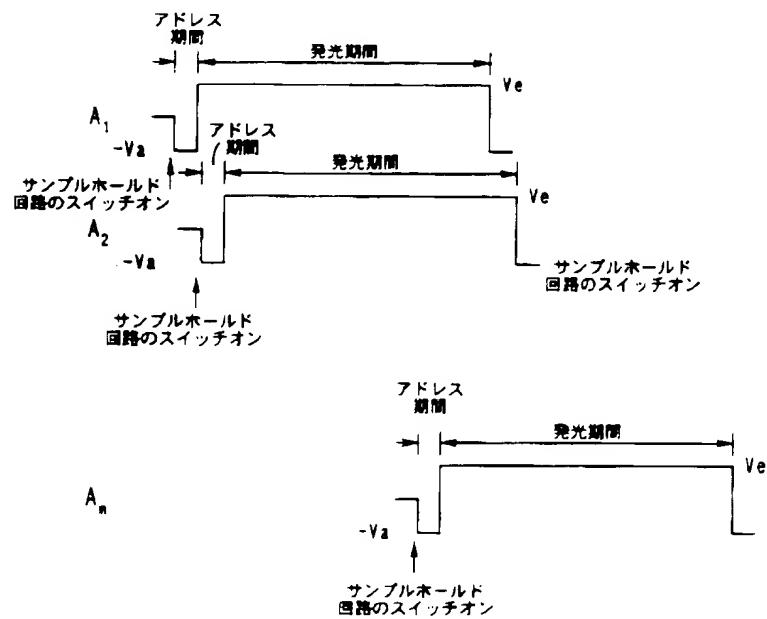
【図12】



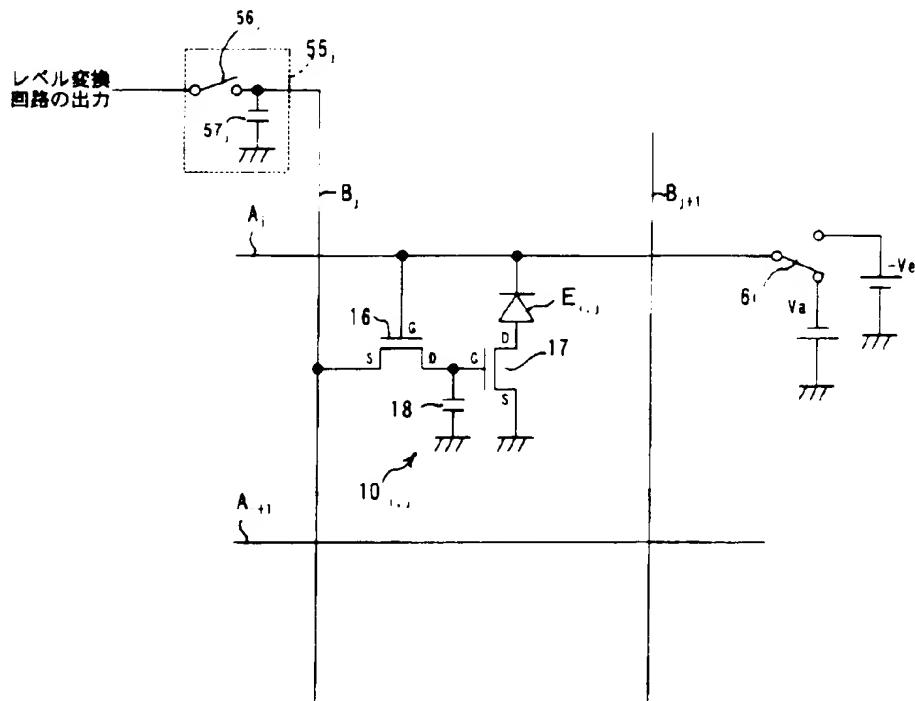
【図1-3】



【図1-4】



【図15】



## 【手続補正書】

【提出日】 平成13年1月30日(2001.1.30)

## 【手続補正1】

【補正対象書類名】 明細書

【補正対象項目名】 特許請求の範囲

【補正方法】 変更

【補正内容】

## 【特許請求の範囲】

【請求項1】 マトリックス状に配置され各々が極性を有する複数の容量性発光素子と前記複数の容量性発光素子各々を個別に駆動する駆動素子とを含むアクティブマトリックス型発光パネルの駆動装置であって、

入力映像データの同期タイミングに応じて前記複数の容量性発光素子各々に対するアドレス期間と発光期間とを繰り返し設定する設定手段と、

前記アドレス期間に前記入力映像データに応じて前記複数の容量性発光素子のうちの発光させるべき発光素子に対応する駆動素子を指定し、その指定した駆動素子を前記アドレス期間に続く前記発光期間にオンさせるオン保持手段と、

前記発光期間に前記指定した駆動素子を介して前記発光させるべき発光素子に順方向の極性にて発光電圧を印加

する電圧印加手段と、を備え、

前記電圧印加手段は、前記アドレス期間内に前記複数の容量性発光素子のうちの少なくとも前記発光させるべき発光素子に前記順方向とは逆方向の極性にてバイアス電圧を印加することを特徴とする駆動装置。

【請求項2】 前記電圧印加手段は、前記発光させるべき発光素子に前記バイアス電圧を前記対応する駆動素子を介して印加することを特徴とする請求項1記載の駆動装置。

【請求項3】 前記設定手段は、前記複数の容量性発光素子に対して前記発光パネルの各行毎に前記アドレス期間及び前記発光期間を各々設定することを特徴とする請求項1記載の駆動装置。

【請求項4】 前記発光パネルにおいて前記複数の容量性発光素子各々の陽極はアドレス線に接続され、前記駆動素子は、NチャンネルのFETからなり、前記オン保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、ドレインが前記NチャンネルのFETのゲートに接続されたPチャンネルのFETと、前記NチャンネルのFETのゲートの接続ラインに接続されたコンデンサと、からなり、

前記電圧印加手段は、前記アドレス期間に前記アドレス

線とアースとの間に前記アドレス線側が負電位となるように前記バイアス電圧を印加し、前記発光期間に前記アドレス線とアースとの間に前記アドレサ線側が正電位となるように前記発光電圧を印加する第1スイッチと、前記発光素子を発光させる場合に前記アドレス期間に前記データ線とアースとの間に前記データ線側が正電位となるように所定電圧を印加し、前記発光期間に前記データ線とアースとの間にゼロ電圧を印加する第2スイッチと、を有し、前記アドレス期間に前記所定電圧の印加によって前記PチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記コンデンサの端子電圧によって前記NチャンネルのFETがオンとなり、前記発光させるべき発光素子に前記発光電圧が印加されることを特徴とする請求項1又は3記載の駆動装置。

【請求項5】 前記発光パネルにおいて前記複数の容量性発光素子各々の陽極はアドレス線に接続され、前記駆動素子は、PチャンネルのFETからなり、前記寸<sub>1</sub>保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、ドレインが前記PチャンネルのFETのゲートに接続されたNチャンネルのFETと、前記PチャンネルのFETのゲートの接続ラインに接続されたコンデンサと、からなり、前記電圧印加手段は、前記アドレス期間に前記アドレス線とアースとの間に前記アドレサ線側が正電位となるように前記バイアス電圧を印加し、前記発光期間に前記アドレス線とアースとの間に前記アドレサ線側が負電位となるように前記発光電圧を印加する第1スイッチと、前記発光素子を発光させる場合に前記アドレス期間に前記データ線とアースとの間に前記データ線側が正電位となるように所定電圧を印加し、前記発光期間に前記データ線とアースとの間にゼロ電圧を印加する第2スイッチと、を有し、前記アドレス期間に前記所定電圧の印加によって前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記NチャンネルのFETがオンとなり、前記発光させるべき発光素子に前記発光電圧が印加されることを特徴とする請求項1又は3記載の駆動装置。

【請求項6】 前記設定手段は、前記複数の容量性発光素子に対して前記発光パネルの各行同時の前記アドレス期間及び前記発光期間を各々設定することを特徴とする請求項1記載の駆動装置。

【請求項7】 前記駆動素子は、NチャンネルのFETからなり、前記寸<sub>1</sub>保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、ドレインが前記NチャンネルのFETのゲートに接続されたPチャンネルのFETと、前記NチャンネルのFETのゲートの接続ラインに接続されたコンデンサと、からなり、

前記電圧印加手段は、前記アドレス期間に前記アドレサ線とアースとの間にゼロ電圧を印加し、前記発光期間に前記アドレサ線とアースとの間に前記アドレサ線側が正電位となるように第1所定電圧を印加する第1スイッチと、

前記発光素子を発光させる場合に前記アドレス期間に前記データ線とアースとの間に前記データ線側が正電位となるように第2所定電圧を印加する第2スイッチと、前記アドレス期間に前記複数の容量性発光素子各々の陽極とアースとの間にその陽極側が負電位となるように前記バイアス電圧を印加し、前記発光期間に前記複数の容量性発光素子各々の陽極とアースとの間にその陽極側が正電位となるように前記発光電圧を印加する第3スイッチと、を有し、前記アドレス期間に前記第2所定電圧の印加によって前記PチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記NチャンネルのFETがオンとなり、前記発光させるべき発光素子に前記発光電圧が印加されることを特徴とする請求項1又は6記載の駆動装置。

【請求項8】 前記駆動素子は、NチャンネルのFETからなり、前記寸<sub>1</sub>保持手段は、前記アドレス線にゲートが接続され、ソースがデータ線に接続され、ドレインが前記PチャンネルのFETと、前記NチャンネルのFETのゲートの接続ラインに接続されたコンデンサと、からなり、

前記電圧印加手段は、前記アドレス期間に前記アドレサ線とアースとの間に前記アドレサ線側が正電位となるように第1所定電圧を印加し、前記発光期間に前記アドレサ線とアースとの間にゼロ電圧を印加する第1スイッチと、

前記発光素子を発光させる場合に前記アドレス期間に前記データ線とアースとの間に前記データ線側が正電位となるように第2所定電圧を印加する第2スイッチと、前記アドレス期間に前記複数の容量性発光素子各々の陽極とアースとの間にその陰極側が正電位となるように前記バイアス電圧を印加し、前記発光期間に前記複数の容量性発光素子各々の陰極とアースとの間にその陰極側が負電位となるように前記発光電圧を印加する第3スイッチと、を有し、前記アドレス期間に前記第2所定電圧の印加によって前記NチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記PチャンネルのFETがオンとなり、前記発光させるべき発光素子に前記発光電圧が印加されることを特徴とする請求項1又は6記載の駆動装置。

【請求項9】 マトリックス状に配置され各々が極性を有する複数の容量性発光素子と前記複数の容量性発光素子各々を個別に駆動する能動素子とを含むアーティブマ

トリック型発光ハネルの駆動装置であって、  
入力映像データの同期タイミングに応じて前記複数の容量性発光素子各々に対するアドレス期間と発光期間とを繰り返し設定する設定手段と、  
前記アドレス期間の直前に前記入力映像データの輝度レベルに対応する輝度電圧を受け入れて保持して前記アドレス期間にその輝度電圧に応じて前記複数の容量性発光素子のうちの発光させるべき発光素子に対応する能動素子を指定する指定手段と、  
前記指定された能動素子を前記アドレス期間に続く前記発光期間に前記輝度電圧に応じて能動状態又はオフ状態にさせる保持手段と、  
前記発光期間に前記指定された駆動素子を介して前記発光させるべき発光素子に順方向の極性にて発光電圧を印加する電圧印加手段と、を備え。  
前記電圧印加手段は、前記アドレス期間内に前記複数の容量性発光素子のうちの少なくとも前記発光させるべき発光素子に前記順方向とは逆方向の極性にてバイアス電圧を印加することを特徴とする駆動装置。

【請求項10】 前記設定手段は、前記複数の容量性発光素子に対して前記発光ハネルの各行毎に前記アドレス期間及び前記発光期間を各々設定することを特徴とする請求項9記載の駆動装置。

【請求項11】 前記発光ハネルにおいて前記複数の容量性発光素子各々の陽極はアドレス線に接続され、前記能動素子は、NチャンネルのFETからなり、前記指定手段は、前記アドレス期間の直前に前記入力映像データの輝度レベルに対応する輝度電圧を受け入れて前記アドレス期間においてデータ線に保持電圧を印加するサンプルホールド回路からなり、前記保持手段は、前記アドレス線にゲートが接続され、ノースがデータ線に接続され、ドレインが前記NチャンネルのFETのゲートに接続されたPチャンネルのFETと、前記NチャンネルのFETのゲートの接続ラインに接続されたコンデンサと、からなり、前記電圧印加手段は、前記アドレス期間に前記アドレス線とアースとの間に前記アドレス線側が負電位となるように前記バイアス電圧を印加し、前記発光期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように前記発光電圧を印加するスイッチと、前記アドレス期間に前記サンプルホールド回路の保持電圧の印加によって前記PチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記コンデンサの端子電圧によって前記NチャンネルのFETがオフ又は能動状態となり、前記発光させるべき発光素子に前記NチャンネルのFETを介して前記発光電圧が印加されることを特徴とする請求項9又は10記載の駆動装置。

【請求項12】 前記発光ハネルにおいて前記複数の容量性発光素子各々の陽極はアドレス線に接続され、

前記駆動素子は、PチャンネルのFETからなり、前記指定手段は、前記アドレス期間の直前に前記入力映像データの輝度レベルに対応する輝度電圧を受け入れて前記アドレス期間においてデータ線に保持電圧を印加するサンプルホールド回路からなり、前記保持手段は、前記アドレス線にゲートが接続され、ノースがデータ線に接続され、ドレインが前記PチャンネルのFETのゲートに接続されたNチャンネルのFETと、前記PチャンネルのFETのゲートの接続ラインに接続されたコンデンサと、からなり、前記電圧印加手段は、前記アドレス期間に前記アドレス線とアースとの間に前記アドレス線側が正電位となるように前記バイアス電圧を印加し、前記発光期間に前記アドレス線とアースとの間に前記アドレス線側が負電位となるように前記発光電圧を印加する第1スイッチと、前記アドレス期間に前記サンプルホールド回路の保持電圧の印加によって前記NチャンネルのFETを介して前記コンデンサに充電電流が流れ、その結果、それに続く前記発光期間に前記コンデンサの端子電圧によって前記PチャンネルのFETがオフ又は能動状態となり、前記発光させるべき発光素子に前記PチャンネルのFETを介して前記発光電圧が印加されることを特徴とする請求項9又は10記載の駆動装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】駆動制御回路2は、上記入力映像信号における水平同期信号及び垂直同期信号に応じて、上記A/D変換器1に対するクロック信号、及びメモリ4に対する書き込み及び読み出信号を発生する。更に、駆動制御回路2は、上記入力映像信号における1フィールド期間を8個のサブフィールドに分割し、各サブフィールド内において各種駆動ハルスを発光ハネル10に印加すべきタイミング信号をアドレス走査ドライバ6及びデータドライバ7の各々に供給する。このフィールドのサブフィールドへの分割は、256階調の表示をするためであり、各サブフィールドの輝度の相対比が1、2、4、8、16、32、64、128となるように設定され、それらのサブフィールドの選択的組み合わせにより256階調が実現される。なお、1フィールド期間を8サブフィールド以外の数のサブフィールドに分割しても良い。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】なお、発光回路20<sub>11</sub>は図11に示すように構成することもできる。図11の発光回路20<sub>11</sub>

はEL素子E<sub>i,j</sub>の他に、NchのMOSFET46、PchのMOSFET47及びコンデンサ48からなる。アドレス線A<sub>i</sub>にはFET46のゲートが接続されている。データ線B<sub>j</sub>にはFET46のソースが接続されている。FET46のドレインにはFET42のゲートが接続され、その接続ラインはコンデンサ48を介してアース接続されている。EL素子E<sub>i,j</sub>のアノードにはFET42のドレインが接続されており、FET42のソースはアース接続されている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正内容】

【0042】アドレス期間が終了して発光期間となると、スイッチ26はアドレス線A<sub>i</sub>に0Vのアース電位を供給するので、FET46はオフとなる。一方、電源線Cを介してEL素子E<sub>i,j</sub>のカソードには発光期間にはスイッチ28cから発光電位-Veが供給され、FET47はそのゲートにコンデンサ43の充電電圧が印加されているためオン状態となる。よって、EL素子E<sub>i,j</sub>には発光電圧Veが順方向にて印加されるので電流が流れてEL素子E<sub>i,j</sub>は発光状態となる。